



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08097386 A**(43) Date of publication of application: **12 . 04 . 96**

(51) Int. Cl.

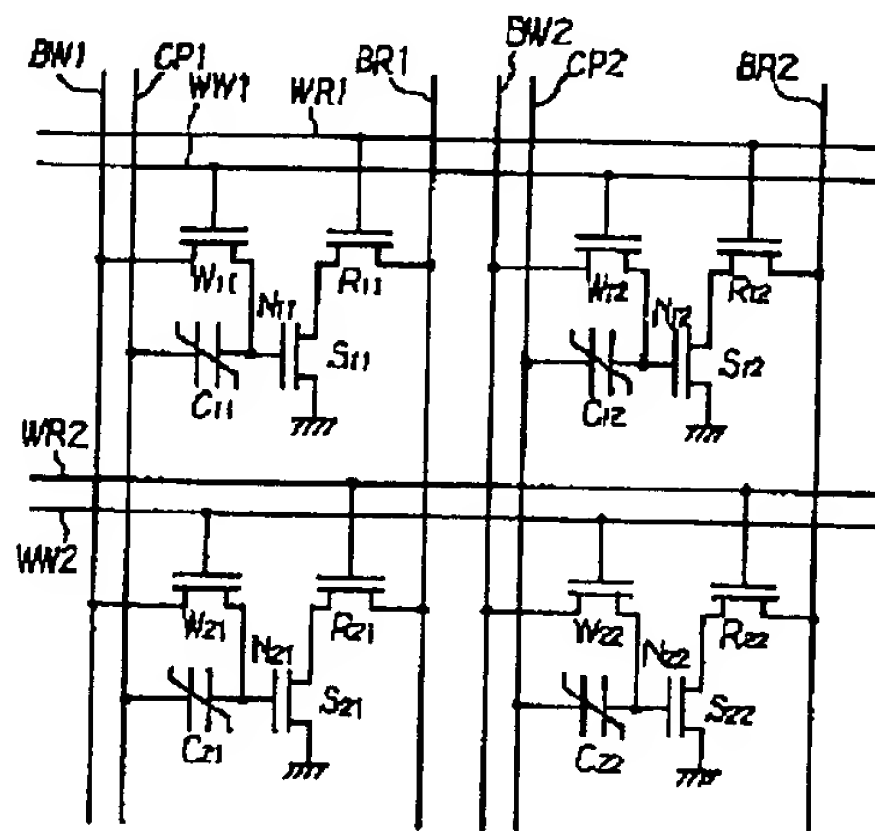
H01L 27/115**H01L 21/8247****H01L 29/788****H01L 29/792**(21) Application number: **06233357**(71) Applicant: **NEC CORP**(22) Date of filing: **28 . 09 . 94**(72) Inventor: **HASE TAKU**(54) **SEMICONDUCTOR NON-VOLATILE MEMORY
AND OPERATING METHOD THEREOF**polarization is formed on the ferroelectric device C_{11} where information is written.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To make it possible to increase the number of times of rewriting information charge and further lower operation voltage and prolong the service life of a ferroelectric material by storing information of a memory cell with spontaneous polarization and applying direct voltage between a lower electrode and an upper electrode of a ferroelectric device in capacitor structure when writing.

CONSTITUTION: A gate electrode of a write transistor W_{11} is connected to a write word line $WW1$ while a drain electrode and a source electrode are connected to a write bit line $BW1$ and a gate electrode of a detection transistor S_{11} and a lower electrode of a ferroelectric device C_{11} respectively. Furthermore, the upper electrode of the ferroelectric device C_{11} is connected to a common plate $CP1$, the gate electrode of a read transistor R_{11} is connected to a read word line $WR1$, the drain electrode is connected to a read bit line $BR1$ and the source electrode is connected to a drain electrode of the detection transistor S_{11} . The source electrode of the detection transistor S_{11} is grounded. Spontaneous



(51) Int.Cl.⁸

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/115
21/8247
29/788

H01L 27/10 434
29/78 371

審査請求 有 請求項の数 5 OL (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-233357

(22) 出願日 平成6年(1994)9月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長谷 卓

東京都港区芝五丁目7番1号 日本電気株
式会社内

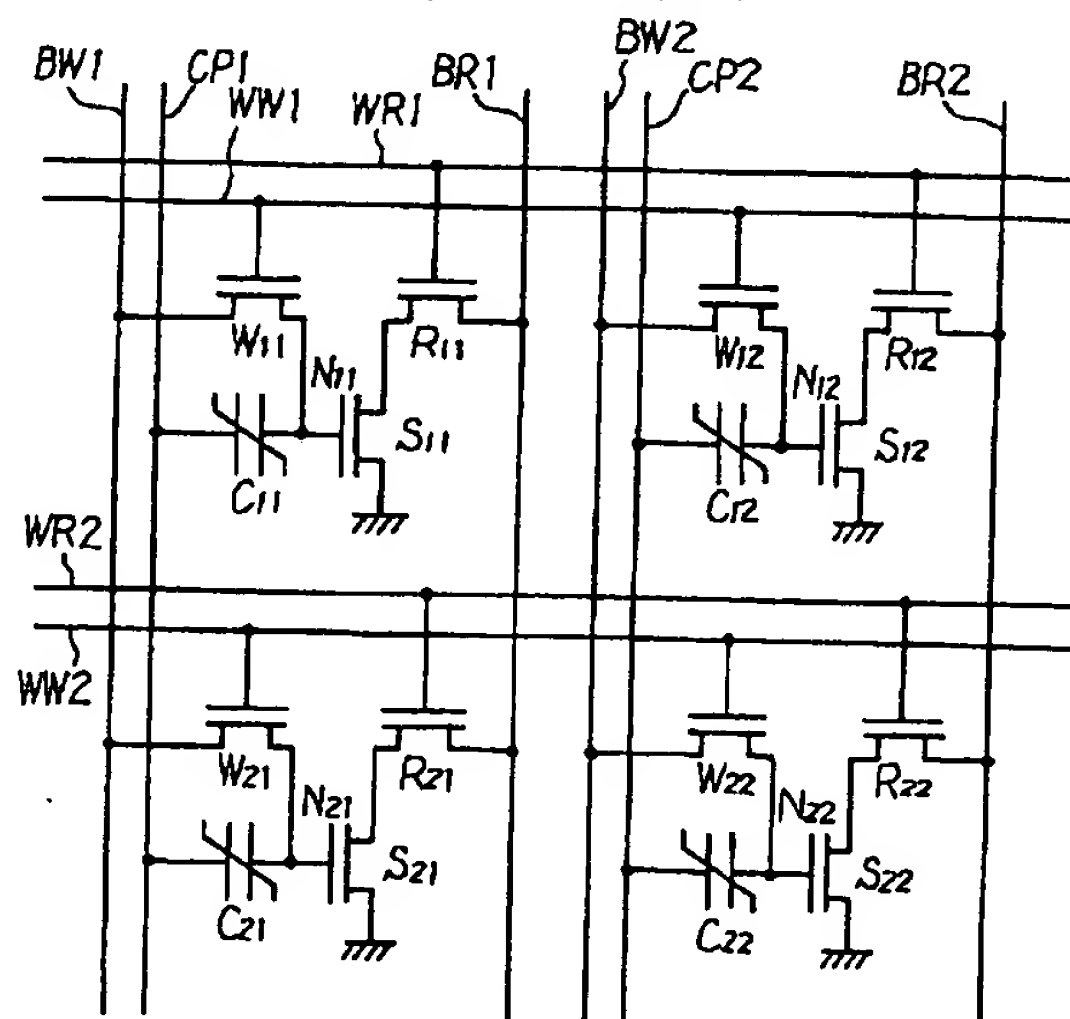
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体不揮発性メモリセル及びその動作方法

(57) 【要約】

【目的】 本発明は不揮発性メモリセルにおける情報電荷の書き換え回数の増加、動作電圧の低電圧化、更には強誘電体膜の長寿命化を図る。

【構成】 半導体基板上に形成された第1のMIS型FETと、前記第1のMIS型FETのゲート電極に接続される一電極上に強誘電体薄膜が形成され前記強誘電体薄膜上に対向電極が形成されたキャパシタ構造の強誘電体素子と、ソース・ドレイン領域のうちの一方の領域が前記一電極に接続されソース・ドレイン領域のうちの他方の領域が第1のビット線に接続されゲート電極が第1のワード線に接続された第2のMIS型FETと、ソース領域とドレイン領域がそれぞれ前記第1のMIS型FETのドレイン領域と第2のビット線に接続されゲート電極が第2のワード線に接続された第3のMIS型FETとで構成される。

W₁₁, W₁₂, W₂₁, W₂₂ 書き込みトランジスタC₁₁, C₁₂, C₂₁, C₂₂ 強誘電体素子S₁₁, S₁₂, S₂₁, S₂₂ 検出トランジスタR₁₁, R₁₂, R₂₁, R₂₂ 読み出しトランジスタ

【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1のMIS型FETと、前記第1のMIS型FETのゲート電極に接続される一電極上に強誘電体薄膜が形成され前記強誘電体薄膜上に対向電極が形成されたキャパシタ構造の強誘電体素子と、ソース・ドレイン領域のうち一方の領域が前記一電極に接続されソース・ドレイン領域のうちの他方の領域が第1のビット線に接続されゲート電極が第1のワード線に接続された第2のMIS型FETと、ソース領域とドレイン領域がそれぞれ前記第1のMIS型FETのドレイン領域と第2のビット線に接続されゲート電極が第2のワード線に接続された第3のMIS型FETとで構成されていることを特徴とした半導体不揮発性メモリセル。

【請求項2】 前記第1のMIS型FETのしきい値電圧が0Vであることを特徴とした請求項1記載の半導体不揮発性メモリセル。

【請求項3】 前記第1のMIS型FETが前記半導体基板の表面に形成された絶縁膜上のシリコン薄膜に設けられていることを特徴とした請求項1記載あるいは請求

項2記載の半導体不揮発性メモリセル。

【請求項4】 記憶情報の書き込み動作において、前記第2のMIS型FETが導通状態にされて前記第1のビット線と前記強誘電体素子の前記対向電極間に電圧が印加され、その後、前記強誘電体素子の前記一電極が0Vにされてから前記第2のMIS型FETが非導通状態にされることを特徴とした請求項1記載の半導体不揮発性メモリセルの動作方法。

【請求項5】 記憶情報の読み出し動作において、前記強誘電体素子の前記対向電極に0Vが印加され、前記第3のMIS型FETが導通状態にされ、前記第2のビット線の電位が検知されることを特徴とした請求項1記載の半導体不揮発性メモリセルの動作方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特に強誘電体膜を用いた半導体不揮発性記憶装置のメモリセルに関する。

【0002】

【従来の技術】 半導体の不揮発性記憶素子には、ROM、PROM、EPROM、EEPROM等があり、特にEEPROMは電氣的に記憶情報を書き換えることが可能であり、フラッシュEEPROMとして用途開発が大々的に進められている。

【0003】 このEEPROMにおいては、フローティングゲート型トランジスタが使用され、2層のゲート電極構造の第1層ゲート電極であるフローティングゲート電極に記憶情報電荷が蓄積される。ここで、第2層ゲート電極はコントロールゲート電極と呼ばれ、情報電荷の書き換え制御に使用される。

【0004】 一方、前述の不揮発性記憶素子とは全く異なる記憶方法として、強誘電体の自発分極を利用する方法が考えられている。そして、この強誘電体を利用する方法では3通りの構造が検討されている。その1つがキャパシタ構造であり、他の1つがMFS (Metal Ferroelectric Semiconductor) -FET (Field Effect Transistor) 構造であり、そして3つ目が、このキャパシタ構造とMFS-FET構造を1体化したMFMISS (Metal Ferroelectric Metal Insulator Semiconductor) 構造である。

【0005】 キャパシタ構造は、強誘電体薄膜を電極で挟む構造をしており、強誘電体の自発分極の分極反転による反転電流の有無を検出し情報の読み出しを行うものである。MFS-FET構造は、MIS型FETのゲート絶縁膜を強誘電体薄膜で形成したもので、強誘電体の自発分極の方向、大きさに応じてその自発分極を補償するように半導体表面に誘起される電荷により半導体表面の電気伝導度を変化することを利用し、その情報の読み出しを行うものである。MFMISSは、先述したフローティングゲート型トランジスタの構造で、そのフローティングゲート電極とコントロールゲート電極との間の絶縁膜を強誘電体薄膜で形成したものである。この場合の記憶情報の読み出しは、前述のMFS-FET構造の場合と同様にしてなされる。

【0006】 このような構造の不揮発性記憶素子を用いたメモリセルとして種々のものが提案されている。キャパシタ構造は、通常のDRAMでの1トランジスタと1キャパシタのメモリセルの1キャパシタに置き換えて用いられる。又、MFS-FET構造とMFMISS構造は、フラッシュEEPROMのメモリセルと同様であり、1トランジスタにして用いられるのが最も高集積化に適するとされる。

【0007】

【発明が解決しようとする課題】 以上に述べた不揮発性記憶素子あるいはこれらの素子を用いたメモリセルにおいては、以下のような問題をそれぞれ有している。

【0008】 電子のトンネル効果を利用するEPROM系においては、シリコン基板からのゲート電極への電荷注入を行うために大きな電界が必要になる。更には、シリコン酸化膜中あるいはシリコン酸化膜/シリコン基板の界面に電荷トラップが発生し書き換え回数が制限される。

【0009】 強誘電体の自発分極を利用するキャパシタ構造では、その書き換え回数は、前述のEPROM系の場合の 10^6 回程度に対し、 10^{10} 回程度と大幅に増加するが、現状のDRAMと同一の機能を実現するためには未だ不足している。このキャパシタ構造を前述した通常DRAMメモリセルのキャパシタに適用する場合に

は、情報の読み出し動作時に蓄積された情報を破壊しなければならない。そこで、情報の読み出し後に再度同じ情報を書き込まなければならない。このために、必要とする情報の書き換え回数が増大するという欠点がある。

【0010】MFS-FET構造では、シリコン基板表面の活性領域に直接に強誘電体薄膜を形成するために、シリコン基板表面の界面準位を制御することが難しく、不揮発性記憶素子が不安定になるという欠点を有している。

【0011】MFMI S構造では、強誘電体薄膜を自発分極させるための電圧印加が前述したコントロールゲート電極と半導体基板間で行われる。しかし、このコントロールゲート電極と半導体基板の間には、コントロールゲート電極を1電極としフローティングゲート電極を対向電極とし前述の強誘電体薄膜を容量誘電体膜とする第1のキャパシタと、フローティングゲート電極を1電極とし半導体基板を対向電極としゲート絶縁膜を容量誘電体膜とする第2のキャパシタとが直列に接続されて形成される。このために、情報書き込み動作時、前述した自発分極のための印加電圧が大きくなる。ここで、第1のキャパシタにかかる電圧を上げるためには、第2のキャパシタの容量値を大きくしなければならない。しかし、通常では強誘電体薄膜の誘電率はシリコン酸化膜等ゲート絶縁膜に用いられる絶縁膜の誘電率に比べ非常に大きい。このために、前述のゲート絶縁膜を極薄にすると第2のキャパシタ面積を広げることが必要になり、不揮発性記憶装置の実現が難しくなる。

【0012】更に、このMFMI S構造1個のトランジスタでメモリセルを構成する場合、情報の書き込み動作時と同様に、情報の読み出し動作時にもMFMI Sのコントロールゲート電極に所定の電圧を印加することが必須になる。これは、所望のメモリセルを一義に選択するためには回避できないことである。このために、強誘電体薄膜に電圧を印加する回数が増え、分極あるいは分極反転の繰り返しによる強誘電体特性劣化の問題が生じ易くなる。

【0013】本発明の目的は以上の課題を解決し、情報電荷の書き換え回数の増加、動作電圧の低電圧化、更には強誘電体の長寿命化を可能にせんとするものである。

【0014】

【課題を解決するための手段】このために本発明では、半導体基板上に形成された第1のMIS型FETと、この第1のMIS型FETのゲート電極に接続される一電極上に強誘電体薄膜が形成されこの強誘電体薄膜上に対向電極が形成されたキャパシタ構造の強誘電体素子と、ソース・ドレイン領域のうちの一方の領域が前記一電極に接続されソース・ドレイン領域のうちの他方の領域が第1のビット線に接続されゲート電極が第1のワード線に接続された第2のMIS型FETと、ソース領域とドレイン領域がそれぞれ前記第1のMIS型FETのドレ

イン領域と第2のビット線に接続されゲート電極が第2のワード線に接続された第3のMIS型FETとで不揮発性メモリセルが構成されるようにする。

【0015】ここで、好ましくは前記第1のMIS型FETのしきい値電圧が0Vに設定されることである。

【0016】更に好ましくは、前記第1のMIS型FETが前記半導体基板の表面に形成された絶縁膜上のシリコン薄膜に設けられることである。

【0017】前記半導体不揮発性メモリセルへの記憶情報の書き込み動作において、前記第2のMIS型FETが導通状態にされて前記第1のビット線と前記強誘電体素子の前記対向電極間に電圧が印加され、その後、前記強誘電体素子の前記一電極が0Vにされてから前記第2のMIS型FETが非導通状態にされる。

【0018】又、記憶情報の読み出し動作においては、前記強誘電体素子の前記対向電極に0Vが印加され、前記第3のトランジスタが導通状態にされ、前記第2のビット線の電位が増幅され検知される。

【0019】

【実施例】次に本発明について図面を参照して説明する。図1は本発明のメモリセルの構成を説明する回路図であり、図2及び図3はメモリセル情報の書き込み/読み出し動作時のクロック信号のタイムチャートである。更に、図4は本発明での蓄積情報読み出し動作を示すための図である。

【0020】図1に示すように、1メモリセルは書き込みトランジスタ W_{11} と強誘電体素子 C_{11} と検出トランジスタ S_{11} と読み出しトランジスタ R_{11} とで構成される。ここで、強誘電体素子 C_{11} はキャパシタ構造のもので、2つの電極の間に強誘電体薄膜が形成された構造をしており、以下この2つの電極を上部電極および下部電極と呼称する。

【0021】このようなメモリセルの構成で、書き込みトランジスタ W_{11} のゲート電極は書き込みワード線 WW_1 に接続され、この書き込みトランジスタ W_{11} のドレイン電極及びソース電極は、それぞれ書き込みビット線 BW_1 及び検出トランジスタ S_{11} のゲート電極および強誘電体素子 C_{11} の下部電極にノード N_{11} を介して接続される。更に、前述の強誘電体素子 C_{11} の上部電極はコモンプレート CP_1 に接続される。又、読み出しトランジスタ R_{11} のゲート電極は読み出しワード線 WR_1 に接続され、この読み出しトランジスタ R_{11} のドレイン電極は読み出しビット線 BR_1 に接続されソース電極は前述の検出トランジスタ S_{11} のドレイン電極に接続される。そして、この検出トランジスタ S_{11} のソース電極は接地される。

【0022】以上のようにして構成されるメモリセルが、図1に示すようにして所定の数だけ繰り返して配列される。図1では、4ビット分のメモリセルの配列される場合が示されている。ここで、書き込みトランジスタ W_{21} 、 W_{12} 、 W_{22} 、強誘電体素子 C_{21} 、 C_{12} 、 C_{22} 、検出

トランジスタ S_{21} 、 S_{12} 、 S_{22} 及び読出しトランジスタ R_{21} 、 R_{12} 、 R_{22} の各電極は、先述した1メモリセルの対応する素子の場合と同様にして接続される。

【0023】次に、図1に示したメモリセルへの情報の書込みの方法について説明する。図2は情報書込み動作の場合のクロック信号のタイムチャートである。ここで、図1のトランジスタはnチャネルMOSトランジスタで構成され、回路はポジティブロジックで動作させるものとする。

【0024】書込み動作の場合は、初め t_1 時に書込みワード線 WW_1 に正電圧を印加し書込みトランジスタ W_{11} を導通状態にする。このようにした後、強誘電体素子 C_{11} に情報を書込む。情報の論理“1”を書込む場合には、図2に示すように t_2 時に書込みビット線 BW_1 に正電圧を印加し、 t_3 時には0Vになるようにする。この間、コモンプレート CP_1 は0Vに固定される。このようにすることで、強誘電体素子 C_{11} に下部電極から上部電極に向く自発分極を形成する。そして、この自発分極を形成した後、ノード N_{11} は0Vにされ、 t_4 時に前述の書込みワード線 WW_1 は0Vにされて、書込みトランジスタ W_{11} は非導通状態にされる。同様に情報の論理“0”を書込む場合には、図2に示すように t_5 時に書込みワード線 WW_1 に正電圧を印加する。このときは書込みビット線 BW_1 は0Vにされ、 t_6 時にコモンプレート CP_1 に正電圧が印加される。このようにすることで、強誘電体素子 C_{11} に上部電極から下部電極に向く自発分極が形成される。そして、この自発分極を形成した後、 t_7 時にノード N_{11} は0Vにされた後、 t_8 時に書込みワード線 WW_1 は0Vにされて書込みトランジスタ W_{11} は非導通状態にされる。

【0025】以上のようにして、先述した1メモリセルを一義に選択して強誘電体素子 C_{11} に自発分極として不揮発性情報を書き込んで保持する。このような書込み動作の場合は、読出しワード線 WR_1 は0Vに固定される。

【0026】次に、図1に示したメモリセルの情報の読出しの方法について説明する。図3は情報読出し動作の場合のクロック信号のタイムチャートである。

【0027】読出し動作の場合は、図3に示すように書込みワード線 WW_1 を0Vにし、書込みトランジスタ W_{11} を非導通状態にする。このようにして、書込みビット線 BW_1 は0Vにされ、コモンプレート CP_1 は0Vに設定される。この状態で読出しビット線 BR_1 は、ある正電位にプリチャージされている。 t_9 時に読出しワード線 WR_1 に正電圧が印加される。これにより読出しトランジスタ R_{11} が導通状態になる。情報の“1”がノード N_{11} に書込まれている場合には、読出しビット線 BR_1 は t_{10} 時に正電圧の設定電位に昇圧し、情報の“0”の場合には、0Vになる。ここで、読出しビット線 BR_1 にはセンスアンプが接続され（図示せず）、前述の検

出トランジスタ S_{11} のOFF状態及びON状態に対応する読出しビット線 BR_1 の電位をこのセンスアンプが感知し増幅するものとする。ここで、検出トランジスタ S_{11} がOFF状態とはゲート電圧がしきい値電圧以下の電流が流れている状態をいい、ON状態とはしきい値電圧を超えるゲート電圧での電流が流れている状態をいうものとする。

【0028】以上本発明の不揮発性メモリセルの動作を、書込み動作と読出し動作をそれぞれ別々に行う場合で説明したが、本発明の不揮発性メモリセルでは、情報書込みのトランジスタと情報読出しのトランジスタとが異なるように構成されているために、情報の書込み動作と読出し動作とを同時に行えることに言及しておく。

【0029】次に、蓄積情報の書込み／読出し動作時の強誘電体素子 C_{11} と検出トランジスタ S_{11} の特性について述べる。図4は強誘電体素子 C_{11} の上部電極をコントロールゲート電極に、その下部電極（検出トランジスタ S_{11} のゲート電極）をフローティングゲート電極とするフローティングゲート型トランジスタの特性として示したものである。ここでこの特性は、検出トランジスタ S_{11} のドレイン電流と前述のコントロールゲート電極にかかる電圧すなわちコントロールゲート電圧の関係についてのものである。図4に示されるように、情報の“1”が記憶されている場合には前述のドレイン電流とコントロールゲート電圧の関係を示す曲線はコントロールゲート電圧が正電圧側にシフトする。これは、強誘電体素子 C_{11} に形成された自発分極がフローティングゲート電極からコントロールゲート電極方向に形成されるために、検出トランジスタ S_{11} のチャネル領域に正電荷が誘起されるためである。

【0030】これに対し、情報の“0”が記憶されている場合には、前述のドレイン電流とコントロールゲート電圧の関係を示す曲線はコントロールゲート電圧が負電圧側にシフトする。これは、この場合には強誘電体素子 C_{11} に形成される自発分極がコントロールゲート電極からフローティングゲート電極方向に形成され、検出トランジスタ S_{11} のチャネル領域に負電荷すなわち電子が誘起されるようになるからである。

【0031】このようにして情報の“1”あるいは“0”が書込まれてフローティングゲート型トランジスタの特性が変化するが、このような情報の書込みの無い状態でのフローティングゲート型トランジスタの特性は、図4に示した破線の曲線になるように設定される。すなわち、フローティングゲート型トランジスタのしきい値電圧は0Vあるいはその近傍になるようにする。このためには、前述の検出トランジスタのしきい値電圧が0Vになるようにすればよい。これは、強誘電体薄膜の誘電率は非常に高く、強誘電体素子 C_{11} の容量値が、検出トランジスタ S_{11} のゲート絶縁膜の示す容量値に比べ非常に大きくなるためである。

【0032】このようにして記憶された情報の読出しは、図3で述べたように読出しトランジスタ R_{11} を導通させて、前述したようなフローティングゲート型トランジスタ特性の変化を検出することで行われる。ここで、図4に示すようにコントロールゲート電圧（図3に示した CP_1 の電圧に対応する）は0Vに設定される。先述したように情報の“1”が記憶されている場合には、コントロールゲート電圧が0Vでのドレイン電流すなわち図4のA点でのドレイン電流であり、検出トランジスタ S_{11} はOFF状態になる。これに対し、情報の“0”が記憶されている場合には、先述したと同様に考えると図4のB点でのドレイン電流が検出トランジスタを流れようになり、検出トランジスタ S_{11} はON状態になる。

【0033】以上のようなフローティングゲート型トランジスタの特性の変化を利用することで情報の読出しが行われる。

【0034】次に、本発明のメモリセルを作製した場合のその構造について図5に基づいて説明する。図5は本発明の1個のメモリセルの断面図である。シリコン基板1の表面にその膜厚が約500nmの基板絶縁膜2が形成される。この基板絶縁膜2上に単結晶の第1シリコン薄膜3が形成される。ここでこの第1シリコン薄膜3の膜厚は約20nmに設定される。このようなSOI（Silicon on Insulator）層上にメモリセルは作製される。

【0035】すなわち、第1シリコン薄膜3上に検出トランジスタ用ゲート絶縁膜4が形成される。この検出トランジスタ用ゲート絶縁膜4は、膜厚が約10nmのシリコン酸化膜である。又、この第1シリコン薄膜3には検出トランジスタのドレイン領域となる検出用拡散層5とソース領域となる接地用拡散層6が形成される。そして、この検出トランジスタ用ゲート絶縁膜4及び第1層間絶縁膜7上に第2シリコン薄膜8が形成される。ここで、この第2シリコン薄膜8は膜厚が約20nmのポリシリコン薄膜である。この第2シリコン薄膜8にヒ素不純物をドーピングしてフローティングゲート電極9を形成する。ここで、このフローティングゲート電極9の表面に酸化イリジウムあるいは酸化ルテニウムを形成してもよい。次にこのフローティングゲート電極9上に強誘電体薄膜10が形成される。この強誘電体薄膜10は膜厚が約100nmのチタン酸ジルコン酸鉛（PZT）で構成される。このような強誘電体薄膜10上にコントロールゲート電極11が形成される。このようにして先述の強誘電体素子は、下部電極をフローティングゲート電極9で、上部電極をコントロールゲート電極11で、強誘電体薄膜をPZTでそれぞれ構成される。ここで、強誘電体薄膜としてチタン酸鉛をはじめとするPb系酸化物あるいはチタン酸ビスマスのようなBi系酸化物の強誘電体が用いられてもよい。

【0036】書込みトランジスタは第2シリコン薄膜8

上に形成される。書込みトランジスタ用ゲート絶縁膜12は膜厚が約10nmのシリコン酸化膜で構成される。この書込みトランジスタ用ゲート絶縁膜12上に書込みトランジスタ用ゲート電極13が形成される。この書込みトランジスタ用ゲート電極13はタングステンポリサイドで形成される。この第2シリコン薄膜8には、書込み用拡散層14が形成されこの拡散層は第2層間絶縁膜15上に形成された書込み用配線16とコンタクト孔を介して電氣的に接続される。

【0037】又、読出しトランジスタ用ゲート絶縁膜17は第1シリコン薄膜3上のシリコン酸化膜で形成される。ここで、このシリコン酸化膜の膜厚は10nm程度に設定される。そして、このシリコン酸化膜上に読出しトランジスタ用ゲート電極18が形成される。更に、読出し用拡散層19が第1シリコン薄膜3に形成され、この拡散層は読出し用配線20に電氣的に接続される。このようにして、読出しトランジスタのソース／ドレイン領域は検出用拡散層5と読出し用拡散層19とで構成される。以上のようにして本発明のメモリセルの構造ができあがるが、前述の検出トランジスタ、書込みトランジスタ及び読出しトランジスタのゲート絶縁膜が、シリコン酸化膜以外にシリコン窒化膜などを含む絶縁膜で形成されてもよいことに触れておく。

【0038】次に、このようなメモリセル構造を図1で説明したメモリセル配列と対応させて以下に説明する。

【0039】書込み用配線16は書込みビット線BW1、BW2に対応し、書込みトランジスタ用ゲート電極13は書込みワード線WW1、WW2に接続される。又、コントロールゲート電極11はコモンプレート CP_1 に接続される。更に、読出しトランジスタ用ゲート電極18は読出しワード線WR1、WR2に接続される。読出し用配線20は読出しビット線BR1、BR2に対応する。

【0040】次に、図5に示したメモリセル構造の場合に得られる、図4で説明したコントロールゲート電圧のシフト量について述べる。この電圧シフト量 ΔV_p は次式で与えられる。

【0041】

$$\Delta V_p = \pm \frac{P_r}{\epsilon_0} \frac{1}{\epsilon_f/d_f + \epsilon_p/d_p}$$

【0042】ここで、 P_r は強誘電体薄膜10の自発分極の値であり、 ϵ_0 、 ϵ_f 、 ϵ_p はそれぞれ真空の誘電率、強誘電体薄膜10の比誘電率、検出トランジスタ用ゲート絶縁膜4の比誘電率を表わす。又、 d_f 、 d_p はそれぞれ強誘電体薄膜10、検出トランジスタ用ゲート絶縁膜4の膜厚を表わす。

【0043】ここで、PZTの自発分極値 P_r を $10 \mu C/cm^2$ 、比誘電率 ϵ_f を500とし、検出トランジスタ用ゲート絶縁膜4の比誘電率を4とする。又、PZ

Tの膜厚を100nmとし検出トランジスタ用ゲート絶縁膜4の膜厚を10nmとして ΔV_p を求めると、この値は2V程度になる。この値は情報の読出し動作に十分な値となっている。ここで、前述のPZTの膜厚を50nm程度にすると、 ΔV_p は1V程度でこのような条件でも十分に使用できることが判る。

【0044】先述したように、検出トランジスタをSOI上に形成することで、このトランジスタのサブスレッシーヨルド特性においてゲート電圧に対するドレイン電流の増加が急峻になる。このために、検出トランジスタのOFF状態とON状態での電流差が大きくなり、図4のフローティングゲート型トランジスタ特性で示した情報“1”と情報“0”の判定が容易になる。

【0045】

【発明の効果】以上に説明したように本発明では、メモリセルが、半導体基板上に形成されたMIS型FETと、このMIS型FETのゲート電極に接続される下部電極上に強誘電体薄膜が形成され前記強誘電体薄膜上に上部電極が形成されたキャパシタ構造の強誘電体素子と、一方のソース・ドレイン領域が前記下部電極に接続され他方のソース・ドレイン領域が情報書き込み配線に接続されたMISトランジスタと、ソース領域とドレイン領域がそれぞれ前記MIS型FETのドレイン領域と情報読出し配線に接続されたMISトランジスタとで構成される。

【0046】このように本発明のメモリセルの情報記憶は強誘電体の自発分極で行われるため、先述したEPROM系の不揮発性記憶素子を用いたメモリセルに比し情報の書き換え回数は $10^{10} \sim 10^{12}$ 回と大幅に増加する。

【0047】又、本発明のメモリセルへの記憶情報の書き込みは、先述した従来のMFMI S構造のメモリセルと異り、キャパシタ構造の強誘電体素子の前記下部電極と上部電極間に直接に電圧を印加して行われるため、書き込み電圧の低電圧化が容易になる。例えば2V程度での書き込み動作が可能になる。

【0048】更に、メモリセルの記憶情報の読出しでは、先述したような通常DRAM型のメモリセルの場合のような情報の破壊はなく、情報の再書き込みの必要もない。又、情報の読出し時に先述したMFMI S構造1個のメモリセルのように強誘電体膜に電圧が印加されないため、この強誘電体膜の分極反転疲労あるいは分極疲労は大幅に低減される。このために、メモリセルの書き込み／読出し回数を増加させることが可能になり、メモリセ

ルの寿命を延ばすことができる。

【図面の簡単な説明】

【図1】本発明のメモリセルの構成を説明する回路図である。

【図2】本発明のメモリセル情報の書き込み動作を説明するタイムチャートである。

【図3】本発明のメモリセル情報の読出し動作を説明するタイムチャートである。

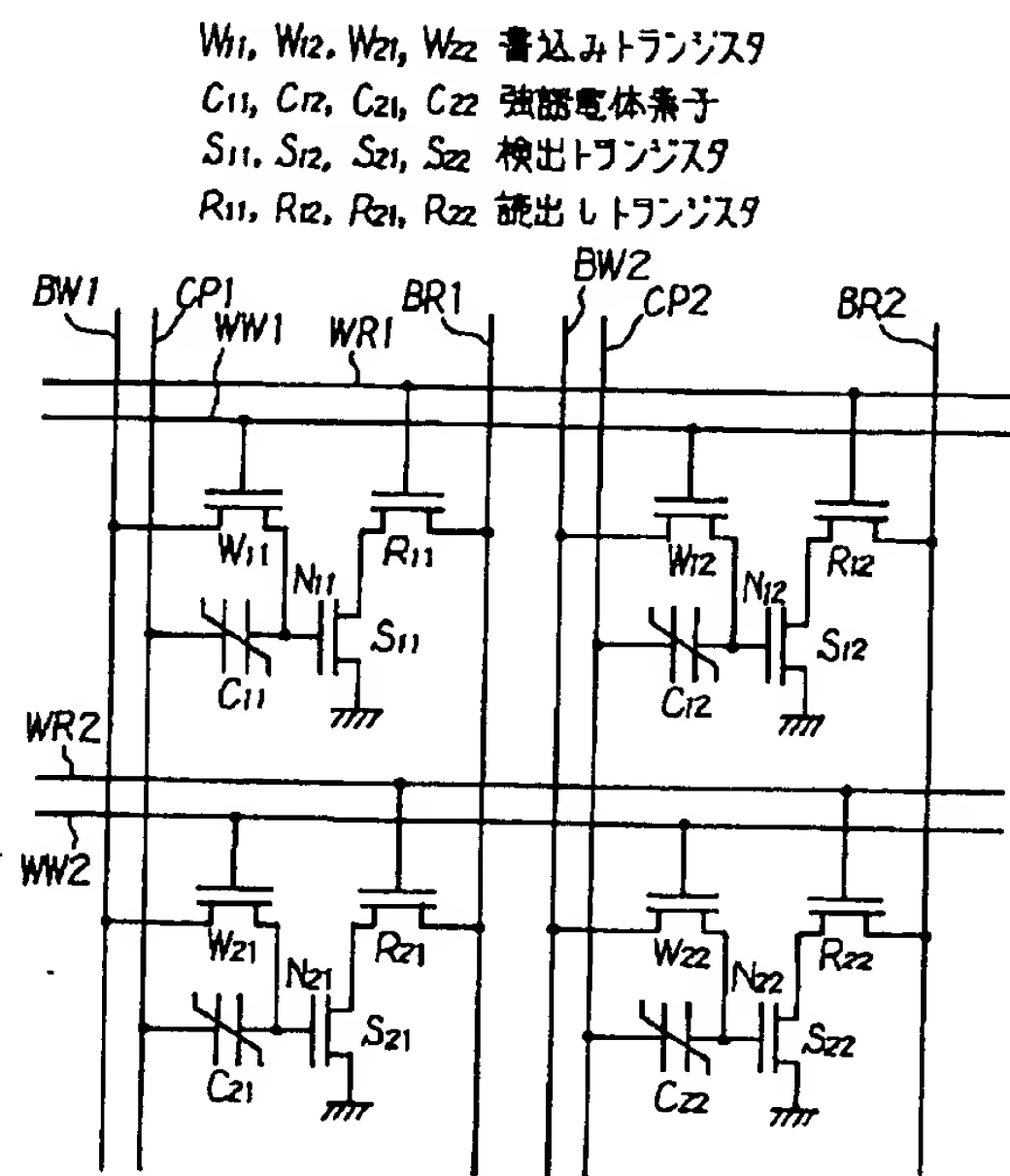
【図4】本発明のメモリセル動作を説明するトランジスタ特性を示す図である。

【図5】本発明のメモリセルの構造を説明する断面図である。

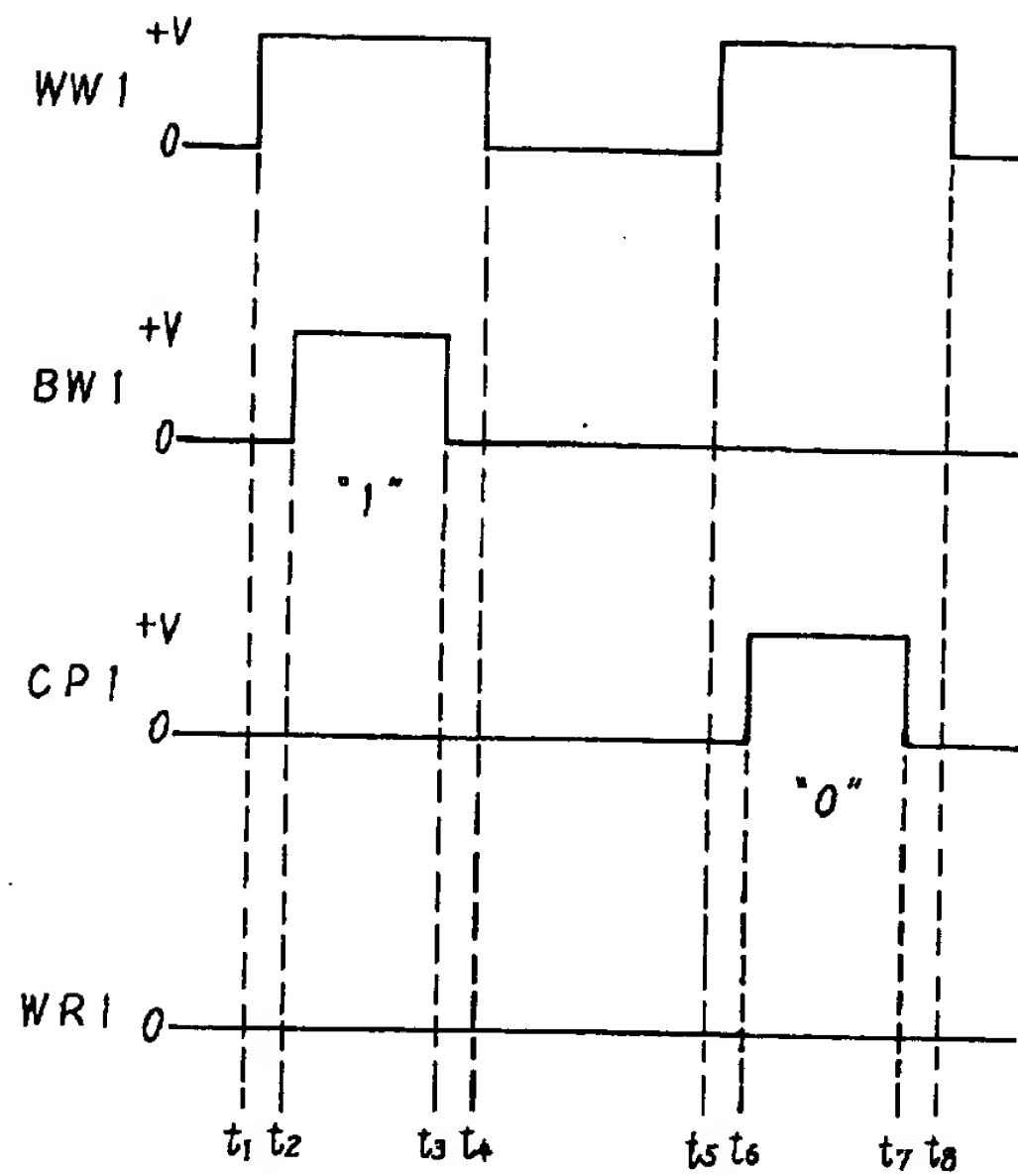
【符号の説明】

W11, W12, W21, W22	書き込みトランジスタ
C11, C12, C21, C22	強誘電体素子
S11, S12, S21, S22	検出トランジスタ
R11, R12, R21, R22	読出しトランジスタ
WW1, WW2	書き込みワード線
BW1, BW2	書き込みビット線
N11, N12, N21, N22	ノード
CP1, CP2	コモンプレート
WR1, WR2	読出しワード線
BR1, BR2	読出しビット線
1	シリコン基板
2	基板絶縁膜
3	第1シリコン薄膜
4	検出トランジスタ用ゲート絶縁膜
5	検出用拡散層
6	接地用拡散層
7	第1層間絶縁膜
8	第2シリコン薄膜
9	フローティングゲート電極
10	強誘電体薄膜
11	コントロールゲート電極
12	書き込みトランジスタ用ゲート絶縁膜
13	書き込みトランジスタ用ゲート電極
14	書き込み用拡散層
15	第2層間絶縁膜
16	書き込み用配線
17	読出しトランジスタ用ゲート絶縁膜
18	読出しトランジスタ用ゲート電極
19	読出し用拡散層
20	読出し用配線

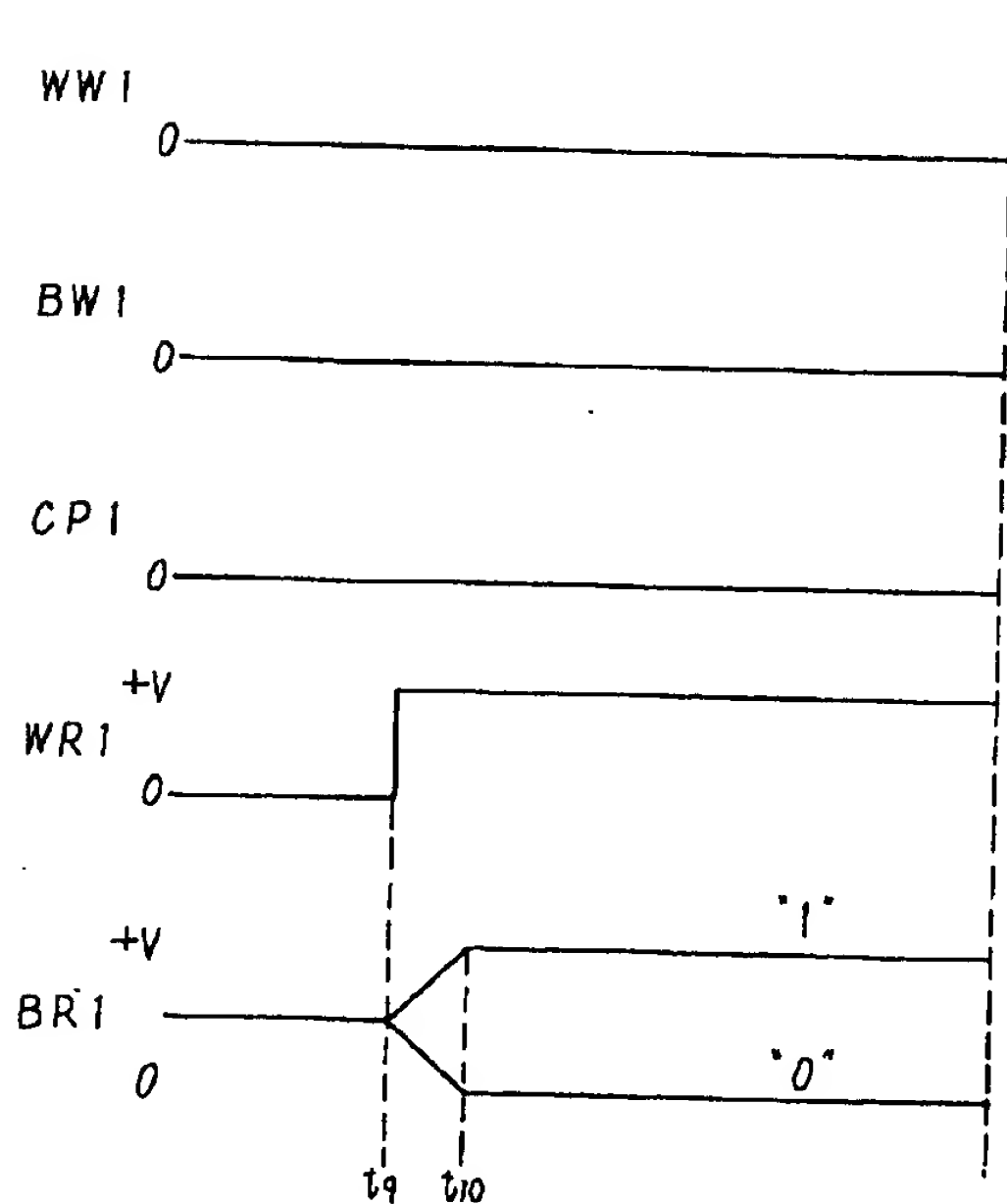
【図1】



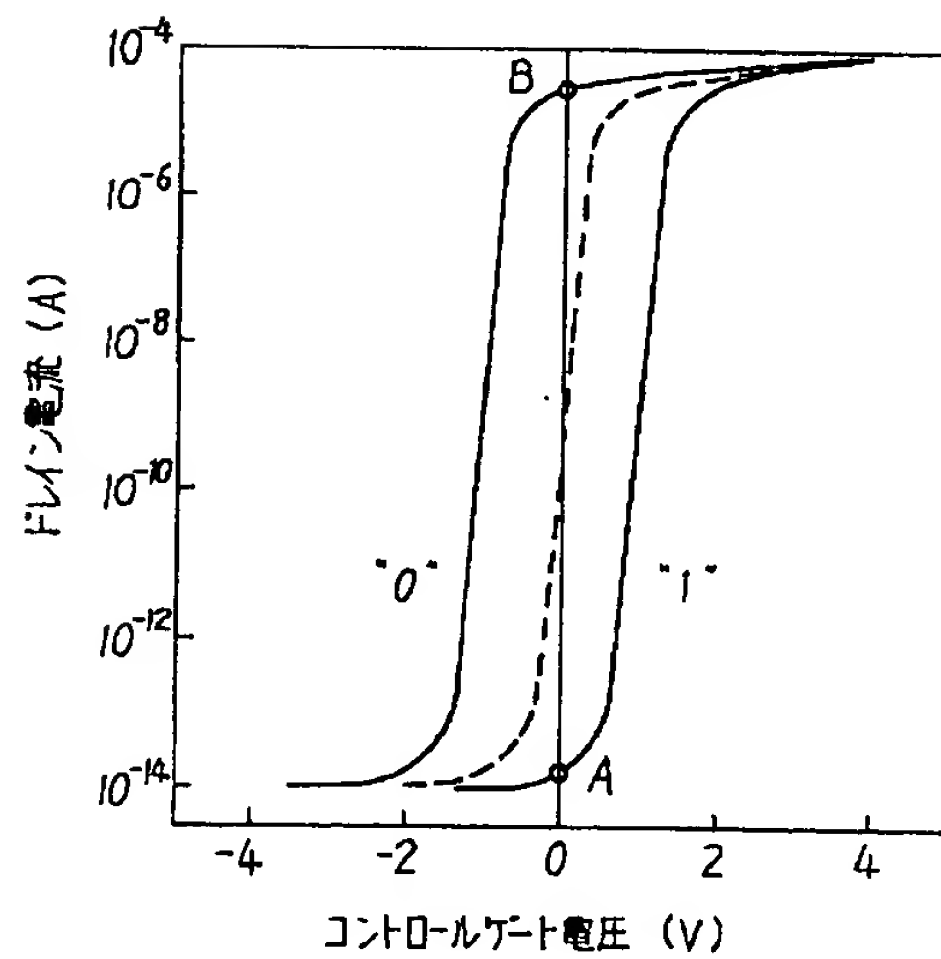
【図2】



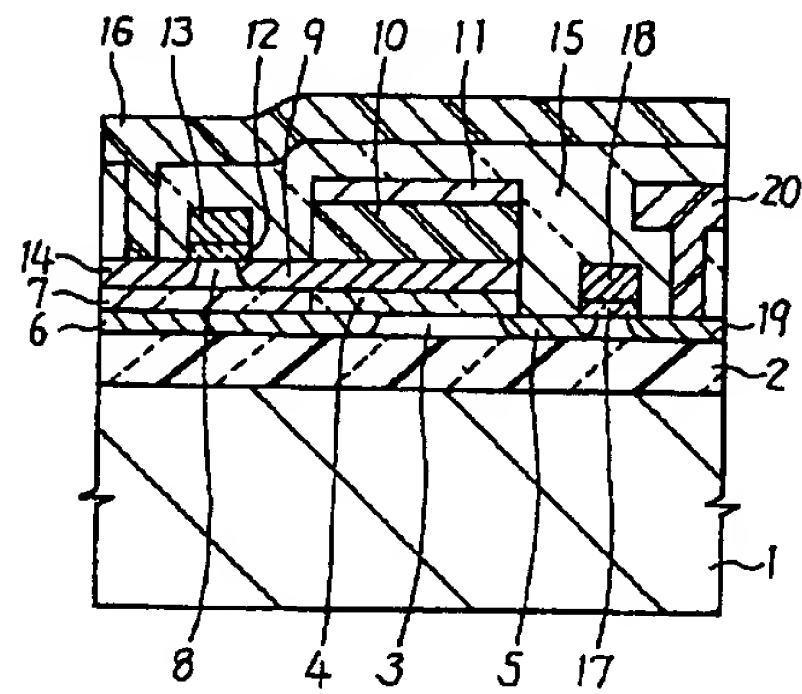
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. ⁶
H01L 29/792

識別記号

庁内整理番号

F I

技術表示箇所